

日本国特許庁
JAPAN PATENT OFFICE

61352-068
Koichi MIZUNO
January 8, 2004

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 7月17日

出願番号
Application Number: 特願2002-208598

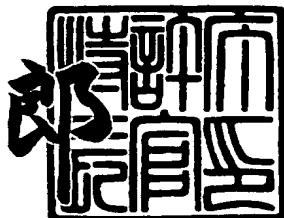
[ST. 10/C]: [JP2002-208598]

出願人
Applicant(s): 松下電器産業株式会社

2003年 7月10日

特許庁長官
Commissioner,
Japan Patent Office

大田信一



【書類名】 特許願

【整理番号】 2033840062

【提出日】 平成14年 7月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

H01L 29/00

H01L 29/96

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 水野 紘一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチ装置

【特許請求の範囲】

【請求項1】 伝送線路上に第1、第2および第3の端子を有し、前記第1の端子と前記第2の端子とを電気的に接続する第1の接続状態と、前記第1の端子と前記第3の端子とを電気的に接続する第2の接続状態とを切り替えることによって、前記伝送線路上で伝送される周波信号の伝送経路を切り替えるスイッチ装置であって、

前記第1および第2の端子間の前記伝送線路において、前記第1の端子から前記周波信号の1/4波長の奇数倍に相当する長さだけ前記第2の端子側に離れた第1の点とグランドとの間に設けられ、この第1の点を接地可能な第1のスイッチと、

前記第1および第3の端子間の前記伝送線路において、前記第1の端子から前記周波信号の1/4波長の奇数倍に相当する長さだけ前記第3の端子側に離れた第2の点と、グランドとの間に設けられ、この第2の点を接地可能な第2のスイッチとを備え、

前記第1の接続状態に設定するとき、前記第2のスイッチによって前記第2の点を接地する一方、前記第2の接続状態に設定するとき、前記第1のスイッチによって前記第1の点を接地する
ことを特徴とするスイッチ装置。

【請求項2】 請求項1記載のスイッチ装置において、

前記第1のスイッチは、前記第1の点とグランドとの間に設けられた第1のFETを有し、この第1のFETが導通状態になることによって前記第1の点を接地するように構成されたものであり、

前記第2のスイッチは、前記第1のFETと同一のチャネル型の、前記第2の点とグランドとの間に設けられた第2のFETを有し、この第2のFETが導通状態になることによって前記第2の点を接地するように構成されたものであり、

前記第1および第2のFETは、いずれか一方のFETのゲートに第1のバイアス電圧が与えられるとともにソースおよびドレインに第1の制御電圧が与えら

れる一方、他方のFETのソースおよびドレインに第2のバイアス電圧が与えられるとともにゲートに前記第1の制御電圧が与えられ、互いに共通した前記第1の制御電圧によって、相補的に導通状態になるものであることを特徴とするスイッチ装置。

【請求項3】 請求項2記載のスイッチ装置において、
前記第1および第2のFETは、ともに、nチャネル型のFETであり、
前記第1のバイアス電圧は、接地電位および前記第1のFETのゲート閾値電圧のいずれか高い方以上の電圧であり、
前記第2のバイアス電圧は、接地電位および前記第2のFETのゲート閾値電圧のいずれか高い方以上の電圧であり、
前記第1および第2のFETのいずれか一方は、前記第1の制御電圧として、
接地電位以上かつ前記第1および第2のバイアス電圧のいずれか低い方以下の電圧が与えられたとき、導通状態になる一方、他方のFETは、前記第1の制御電圧として、前記第1および第2のバイアス電圧のいずれか高い方以上の電圧が与えられたとき、導通状態になるものである
ことを特徴とするスイッチ装置。

【請求項4】 請求項1記載のスイッチ装置において、
前記伝送線路において、前記第1の点から前記周波信号の1/4波長の奇数倍に相当する長さだけ前記第2の端子側に離れた第3の点とグランドとの間に設けられ、この第3の点を終端可能な第3のスイッチと、
前記伝送線路において、前記第2の点から前記周波信号の1/4波長の奇数倍に相当する長さだけ前記第3の端子側に離れた第4の点とグランドとの間に設けられ、この第4の点を終端可能な第4のスイッチとを備え、
前記第1の接続状態に設定するとき、前記第4のスイッチによって前記第4の点を終端する一方、前記第2の接続状態に設定するとき、前記第3のスイッチによって前記第3の点を終端する
ことを特徴とするスイッチ装置。

【請求項5】 請求項4記載のスイッチ装置において、
前記第1のスイッチは、前記第1の点とグランドとの間に設けられた第1のF

E Tを有し、この第1のF E Tが導通状態になることによって前記第1の点を接地するように構成されたものであり、

前記第2のスイッチは、前記第1のF E Tと同一のチャネル型の、前記第2の点とグランドとの間に設けられた第2のF E Tを有し、この第2のF E Tが導通状態になることによって前記第2の点を接地するように構成されたものであり、

前記第3のスイッチは、前記第3の点とグランドとの間に設けられた第3のF E Tを有し、この第3のF E Tが導通状態になることによって前記第3の点を終端するように構成されたものであり、

前記第4のスイッチは、前記第3のF E Tと同一のチャネル型の、前記第4の点とグランドとの間に設けられた第4のF E Tを有し、この第4のF E Tが導通状態になることによって前記第4の点を終端するように構成されたものであり、

前記第1および第2のF E Tは、いずれか一方のF E Tのゲートに第1のバイアス電圧が与えられるとともにソースおよびドレインに第1の制御電圧が与えられる一方、他方のF E Tのソースおよびドレインに第2のバイアス電圧が与えられるとともにゲートに前記第1の制御電圧が与えられ、互いに共通した前記第1の制御電圧によって、相補的に導通状態になるものであり、

前記第3および第4のF E Tは、いずれか一方のF E Tのゲートに第3のバイアス電圧が与えられるとともにソースおよびドレインに第2の制御電圧が与えられる一方、他方のF E Tのソースおよびドレインに第4のバイアス電圧が与えられるとともにゲートに前記第2の制御電圧が与えられ、互いに共通した前記第2の制御電圧によって、相補的に導通状態になるものであることを特徴とするスイッチ装置。

【請求項6】 請求項5記載のスイッチ装置において、

前記第1から第4のF E Tは、いずれも、nチャネル型のF E Tであり、

前記第1のバイアス電圧は、接地電位ならびに前記第1および第3のF E Tのゲート閾値電圧のうち最も高いもの以上の電圧であり、

前記第2のバイアス電圧は、接地電位ならびに前記第2および第4のF E Tのゲート閾値電圧のうち最も高いもの以上の電圧であり、

前記第3および第4のF E Tは、前記第3および第4のバイアス電圧として、

それぞれ、前記第1および第2のバイアス電圧が与えられるとともに、前記第2の制御電圧として、前記第1の制御電圧が与えられるものであり、

前記第1のFETと前記第3のFETとの組および前記第2のFETと前記第4のFETとの組のいずれか一方は、前記第1の制御電圧として、接地電位以上かつ前記第1および第2のバイアス電圧のいずれか低い方以下の電圧が与えられたとき、導通状態になる一方、他方の組のFETは、前記第1の制御電圧として、前記第1および第2のバイアス電圧のいずれか高い方以上の電圧が与えられたとき、導通状態になるものである

ことを特徴とするスイッチ装置。

【請求項7】 請求項3または6記載のスイッチ装置において、

前記第1の制御電圧は、2値であり、その一方は前記第1のバイアス電圧に相当するものである一方、他方は前記第2のバイアス電圧に相当するものである

ことを特徴とするスイッチ装置。

【請求項8】 請求項5記載のスイッチ装置において、

前記第1から第4のFETは、いずれも、Ga, In, As, P, N, Alのうち少なくとも1つの元素を含む化合物半導体によって構成されている

ことを特徴とするスイッチ装置。

【請求項9】 伝送線路上に第1、第2および第3の端子を有し、前記第1の端子と前記第2の端子とを電気的に接続する第1の接続状態と、前記第1の端子と前記第3の端子とを電気的に接続する第2の接続状態とを切り替えることによって、前記伝送線路上で伝送される周波信号の伝送経路を切り替えるスイッチ装置であって、

前記第1および第2の端子間の前記伝送線路において、接地されたときに、前記第1の端子が前記周波信号の周波数で開放状態と等価になるようなどころに位置する第1の点と、グランドとの間に設けられ、この第1の点を接地可能な第1のスイッチと、

前記第1および第3の端子間の前記伝送線路において、接地されたときに、前記第1の端子が前記周波信号の周波数で開放状態と等価になるようなどころに位置する第2の点と、グランドとの間に設けられ、この第2の点を接地可能な第2

のスイッチとを備え、

前記第1の接続状態に設定するとき、前記第2のスイッチによって前記第2の点を接地する一方、前記第2の接続状態に設定するとき、前記第1のスイッチによって前記第1の点を接地する
ことを特徴とするスイッチ装置。

【請求項10】 請求項9記載のスイッチ装置において、

前記伝送線路上の前記第1の点よりも前記第2の端子側において、前記第1の点が接地されたとき前記周波信号の周波数で開放状態と等価になるところに位置する第3の点と、グランドとの間に設けられ、この第3の点を終端可能な第3のスイッチと、

前記伝送線路上の前記第2の点よりも前記第3の端子側において、前記第2の点が接地されたとき前記周波信号の周波数で開放状態と等価になるところに位置する第4の点と、グランドとの間に設けられ、この第4の点を終端可能な第4のスイッチとを備え、

前記第1の接続状態に設定するとき、前記第4のスイッチによって前記第4の点を終端する一方、前記第2の接続状態に設定するとき、前記第3のスイッチによって前記第3の点を終端する
ことを特徴とするスイッチ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチ装置に関するものであり、特に、伝送線路上で伝送される周波信号の伝送経路の切り替えに好適なスイッチ装置の技術に属する。

【0002】

【従来の技術】

近年、情報通信分野における技術の進展は著しく、通信機器が扱う周波数帯域もマイクロ波帯域からミリ波帯域へと、より高い周波数帯域への展開が図られている。このようなマイクロ波帯域からミリ波帯域までの高周波帯域を扱う通信用回路などでは、伝送線路上で伝送される周波信号の伝送線路を切り替える経路切

り替え型のスイッチが多く用いられている。

【0003】

一般に、経路切り替え型のスイッチは、半導体のP／I／N接合を用いたPINダイオードスイッチや、FET（電界効果トランジスタ）のスイッチング機能を用いたFETスイッチなどを組み合わせて構成される。FETスイッチは、ゲート電極に制御電圧を印加してチャネルの導電率を変化させ、これによるソース・ドレイン間の導電率変化に応じて、ソース・ドレイン間の周波信号の伝達量を変化させる。つまり、FETスイッチは、チャネル層が電気的に導通状態のとき、オンであり、周波信号はドレインまたはソース端子より入力され、チャネルを伝達し、他のソースまたはドレイン端子から出力される。一方、チャネル層がピンチオフ状態のとき、オフであり、ソース・ドレイン間は電気的に開放状態となる。そして、FETスイッチによって構成された経路切り替え型のスイッチは、2つの伝送経路にそれぞれ接続された2個のFETスイッチのいずれか一方をオンまたはオフにするとともに、他方のFETスイッチをオフまたはオンにする。このようにFETスイッチを相補的に切り替え動作させることによって、伝送経路を切り替える。

【0004】

一方、高周波回路に対する小型化の要求は、他の電子回路にも増して強くなりつつある。一般に、高周波回路は、高周波トランジスタなどの半導体素子と整合回路やバイアス回路などをひとつの半導体基板上に集積化したMMIC（Monolithic Microwave IC）として構成されることが多い。MMICの場合、スイッチ自体も半導体素子で構成されることが好ましい。このため、通常、MMICでは、上記のPINダイオードやFETスイッチなどが利用されている。

【0005】

【発明が解決しようとする課題】

一般に、半導体プロセスにおいて、PIN接合を作るプロセスは、FETを形成するプロセスとは別のものである。このため、MMICにPINダイオードスイッチを集積化する場合には、FETプロセスとは別に、PINダイオードプロセスを実施しなければならず、製造方法が複雑になる。このため、MMICにお

けるスイッチ装置は、FETによって構成されることが好ましい。

【0006】

一方、FETはチャネル抵抗を有している。このため、FETによって構成されたスイッチを伝送線路に挿入すると、FETのチャネル抵抗に起因する伝送損失が生じてしまう。また、信号が遮断された箇所では、インピーダンスの不整合が生じてしまう。このため、信号が反射してしまい、回路特性が悪化し、回路動作が不安定になる。この問題は、周波信号の周波数が高くなればなるほど顕著に現れる。

【0007】

また、スイッチとしてよく用いられるデプリーション型のnチャネルFETでは、チャネルをピンチオフするために、ソース電位に対してゲート電極に負の電圧を与える必要がある。しかし、通常、ソース電極は接地されることが多いため、このようなデプリーション型のnチャネルFETをスイッチ素子として用いた場合、ドレインバイアス電圧用の正電源とは別個に、ゲート電極用の負電源を設けなければならない。

【0008】

上記諸問題に鑑み、本発明は、周波信号が伝達するときに伝送損失が生じないような経路切り替え型のスイッチ装置の提供を課題とする。さらに、信号が遮断された側において信号の反射が生じないようなスイッチ装置の提供を課題とする。また、このようなスイッチ装置を、MMICプロセスに好適なFETによって構成し、さらに、正電源のみで動作可能にすることを課題とする。

【0009】

【課題を解決するための手段】

上記課題を解決するために、請求項1の発明が講じた手段は、伝送線路上に第1、第2および第3の端子を有し、前記第1の端子と前記第2の端子とを電気的に接続する第1の接続状態と、前記第1の端子と前記第3の端子とを電気的に接続する第2の接続状態とを切り替えることによって、前記伝送線路上で伝送される周波信号の伝送経路を切り替えるスイッチ装置として、前記第1および第2の端子間の前記伝送線路において、前記第1の端子から前記周波信号の1/4波長

の奇数倍に相当する長さだけ前記第2の端子側に離れた第1の点とグランドとの間に設けられ、この第1の点を接地可能な第1のスイッチと、前記第1および第3の端子間の前記伝送線路において、前記第1の端子から前記周波信号の1/4波長の奇数倍に相当する長さだけ前記第3の端子側に離れた第2の点とグランドとの間に設けられ、この第2の点を接地可能な第2のスイッチとを備え、前記第1の接続状態に設定するとき、前記第2のスイッチによって前記第2の点を接地する一方、前記第2の接続状態に設定するとき、前記第1のスイッチによって前記第1の点を接地するものとする。

【0010】

請求項1の発明によると、第1のスイッチによって第1の点が接地されることによって、第2の接続状態が設定される一方、第2のスイッチによって第2の点が接地されることによって、第1の接続状態が設定される。第1の端子と第1の点との間隔、および第1の端子と第2との点の間隔は、いずれも周波信号の1/4波長の奇数倍に相当する長さである。したがって、第1または第2の点が接地されている場合、第1の端子からその接地されている点を見込んだときのインピーダンスは、周波信号の周波数でその接地された側の伝送線路が開放されているときとほぼ等しいものとなる。すなわち、第1の端子から見て、接地された側の伝送線路は接続されていない状態と等価になり、信号は接地されていない側の伝送線路に伝達される。そして、第1および第2のスイッチは、いずれも伝送線路に挿入されるものではない。これにより、周波信号が通過するときに伝送損失が生じることなく、周波信号の伝送経路を切り替えることができる。

【0011】

そして、好ましくは、請求項2の発明のように、前記第1のスイッチは、前記第1の点とグランドとの間に設けられた第1のFETを有し、この第1のFETが導通状態（ここで、導通状態とは、FETのソース・ドレイン間のチャネルが形成されて、ソースとドレインとが電気的に繋がった状態をいう。）になることによって前記第1の点を接地するように構成されたものとする。同様に、前記第2のスイッチは、前記第1のFETと同一のチャネル型の、前記第2の点とグランドとの間に設けられた第2のFETを有し、この第2のFETが導通状態にな

ることによって前記第2の点を接地するように構成されたものとする。そして、前記第1および第2のFETは、いずれか一方のFETのゲートに第1のバイアス電圧が与えられるとともにソースおよびドレインに第1の制御電圧が与えられる一方、他方のFETのソースおよびドレインに第2のバイアス電圧が与えられるとともにゲートに前記第1の制御電圧が与えられ、互いに共通した前記第1の制御電圧によって、相補的に導通状態になるものとする。これにより、一の制御電圧（第1の制御電圧）で、第1および第2のFETを相補的に導通状態にすることができ、スイッチ装置の制御が容易になる。

【0012】

さらに、好ましくは、請求項3の発明のように、前記第1および第2のFETは、ともに、nチャネル型のFETとする。そして、前記第1のバイアス電圧は、接地電位および前記第1のFETのゲート閾値電圧のいずれか高い方以上の電圧とする。また、前記第2のバイアス電圧は、接地電位および前記第2のFETのゲート閾値電圧のいずれか高い方以上の電圧とする。そして、前記第1および第2のFETのいずれか一方は、前記第1の制御電圧として、接地電位以上かつ前記第1および第2のバイアス電圧のいずれか低い方以下の電圧が与えられたとき、導通状態になる一方、他方のFETは、前記第1の制御電圧として、前記第1および第2のバイアス電圧のいずれか高い方以上の電圧が与えられたとき、導通状態になるものとする。これにより、スイッチ装置を正電源のみで動作させることができ、負電圧を供給する負電源が不要となり、回路規模を縮減することができる。

【0013】

一方、請求項4の発明では、請求項1記載のスイッチ装置に、前記伝送線路において、前記第1の点から前記周波信号の1/4波長の奇数倍に相当する長さだけ前記第2の端子側に離れた第3の点とグランドとの間に設けられ、前記第3の点を終端可能な第3のスイッチと、前記伝送線路において、前記第2の点から前記周波信号の1/4波長の奇数倍に相当する長さだけ前記第3の端子側に離れた第4の点とグランドとの間に設けられ、前記第4の点を終端可能な第4のスイッチとをさらに備える。そして、このスイッチ装置は、前記第1の接続状態に設定

するとき、前記第4のスイッチによって前記第4の点を終端する一方、前記第2の接続状態に設定するとき、前記第3のスイッチによって前記第3の点を終端することを特徴とする。

【0014】

請求項4の発明によると、第1の接続状態が設定されるとき、第4のスイッチによって第4の点が終端される一方、第2の接続状態が設定されるとき、第3のスイッチによって第3の点が終端される。第1の点と第3の点との間隔、および第2の点と第4の点との間隔は、いずれも周波信号の1/4波長の奇数倍に相当する長さである。したがって、第1または第2の点が接地されているとき、第3または第4の点は、周波信号の周波数で伝送線路が開放されている状態と等しくなる。すなわち、第3または第4のスイッチによって第3または第4の点を終端することは、開放状態の伝送線路を終端することと等価である。これにより、信号が遮断された側における信号の反射を抑制することができる。

【0015】

そして、好ましくは、請求項5の発明のように、前記第1のスイッチは、前記第1の点とグランドとの間に設けられた第1のFETを有し、この第1のFETが導通状態になることによって前記第1の点を接地するように構成されたものとする。同様に、前記第2のスイッチは、前記第1のFETと同一のチャネル型の、前記第2の点とグランドとの間に設けられた第2のFETを有し、この第2のFETが導通状態になることによってこの第2の点を接地するように構成されたものとする。また、前記第3のスイッチは、前記第3の点とグランドとの間に設けられた第3のFETを有し、この第3のFETが導通状態になることによってこの第3の点を終端するように構成されたものとする。同様に、前記第4のスイッチは、前記第3のFETと同一のチャネル型の、前記第4の点とグランドとの間に設けられた第4のFETを有し、この第4のFETが導通状態になることによって前記第4の点を終端するように構成されたものとする。そして、前記第1および第2のFETは、いずれか一方のFETのゲートに第1のバイアス電圧が与えられるとともにソースおよびドレインに第1の制御電圧が与えられる一方、他方のFETのソースおよびドレインに第2のバイアス電圧が与えられるととも

にゲートに前記第1の制御電圧が与えられ、互いに共通した前記第1の制御電圧によって、相補的に導通状態になるものとする。同様に、前記第3および第4のFETは、いずれか一方のFETのゲートに第3のバイアス電圧が与えられるとともにソースおよびドレインに第2の制御電圧が与えられる一方、他方のFETのソースおよびドレインに第4のバイアス電圧が与えられるとともにゲートに前記第2の制御電圧が与えられ、互いに共通した前記第2の制御電圧によって、相補的に導通状態になるものとする。これにより、一の制御電圧（第1の制御電圧）で、第1および第2のFETを相補的に導通状態にするとともに、一の制御電圧（第2の制御電圧）で、第3および第4のFETを相補的に導通状態にることができ、スイッチ装置の制御が容易になる。

【0016】

さらに、好ましくは、請求項6の発明のように、前記第1から第4のFETはいずれもnチャネル型のFETとする。そして、前記第1のバイアス電圧は、接地電位ならびに前記第1および第3のFETのゲート閾値電圧のうち最も高いもの以上の電圧とし、また、前記第2のバイアス電圧は、接地電位ならびに前記第2および第4のFETのゲート閾値電圧のうち最も高いもの以上の電圧とする。また、前記第3および第4のFETは、前記第3および第4のバイアス電圧として、それぞれ、前記第1および第2のバイアス電圧が与えられるとともに、前記第2の制御電圧として、前記第1の制御電圧が与えられるものとする。そして、前記第1のFETと前記第3のFETとの組および前記第2のFETと前記第4のFETとの組のいずれか一方は、前記第1の制御電圧として、接地電位以上かつ前記第1および第2のバイアス電圧のいずれか低い方以下の電圧が与えられたとき、導通状態になる一方、他方の組のFETは、前記第1の制御電圧として、前記第1および第2のバイアス電圧のいずれか高い方以上の電圧が与えられたとき、導通状態になるものとする。これにより、一の制御電圧（第1の制御電圧）で、第1のFETと第3のFETとの組および第2のFETと第4のFETとの組を相補的に導通状態にことができ、スイッチ装置の制御がより一層容易になる。また、スイッチ装置を正電源のみで動作させることができ、負電圧を供給する負電源が不要となり、回路規模を縮減することができる。

【0017】

そして、請求項7の発明のように、請求項3または6記載のスイッチ装置における第1の制御電圧は2値とし、その一方は前記第1のバイアス電圧に相当するものである一方、他方は前記第2のバイアス電圧に相当するものとすることが好ましい。これにより、スイッチ装置の制御に必要な電圧の種類を削減することができ、スイッチ装置の制御がより一層容易になり、また、回路構成を簡略化することができる。

【0018】

また、請求項8の発明のように、請求項5記載のスイッチ装置における前記第1から第4のFETは、いずれも、Ga, In, As, P, N, Alのうち少なくとも1つの元素を含む化合物半導体によって構成されていることが好ましい。これにより、高周波信号のスイッチングが可能になる。

【0019】

一方、請求項9の発明が講じた手段は、伝送線路上に第1、第2および第3の端子を有し、前記第1の端子と前記第2の端子とを電気的に接続する第1の接続状態と、前記第1の端子と前記第3の端子とを電気的に接続する第2の接続状態とを切り替えることによって、前記伝送線路上で伝送される周波信号の伝送経路を切り替えるスイッチ装置として、前記第1および第2の端子間の前記伝送線路において、接地されたときに、前記第1の端子が前記周波信号の周波数で開放状態と等価になるようなどころに位置する第1の点とグランドとの間に設けられ、この第1の点を接地可能な第1のスイッチと、前記第1および第3の端子間の前記伝送線路において、接地されたときに、前記第1の端子が前記周波信号の周波数で開放状態と等価になるようなどころに位置する第2の点とグランドとの間に設けられ、この第2の点を接地可能な第2のスイッチとを備え、前記第1の接続状態に設定するとき、前記第2のスイッチによって前記第2の点を接地する一方、前記第2の接続状態に設定するとき、前記第1のスイッチによって前記第1の点を接地するものとする。

【0020】

そして、請求項10の発明では、請求項9記載のスイッチ装置に、前記伝送線

路上の前記第1の点よりも前記第2の端子側において、前記第1の点が接地されたとき前記周波信号の周波数で開放状態と等価になるところに位置する第3の点とグランドとの間に設けられ、この第3の点を終端可能な第3のスイッチと、前記伝送線路上の前記第2の点よりも前記第3の端子側において、前記第2の点が接地されたとき前記周波信号の周波数で開放状態と等価になるところに位置する第4の点とグランドとの間に設けられ、この第4の点を終端可能な第4のスイッチとを備える。そして、このスイッチ装置は、前記第1の接続状態に設定するとき、前記第4のスイッチによって前記第4の点を終端する一方、前記第2の接続状態に設定するとき、前記第3のスイッチによって前記第3の点を終端することを特徴とする。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて詳細に説明する。

【0022】

(第1の実施形態)

図1は、本発明の第1の実施形態であるスイッチ装置10の概略回路図である。スイッチ装置10は、第1の点P1を接地可能な第1のスイッチ11と、第2の点P2を接地可能な第2のスイッチ12とを備え、第1の端子PORT1と第2の端子PORT2とを電気的に接続する第1の接続状態と、第1の端子PORT1と第3の端子PORT3とを電気的に接続する第2の接続状態とを切り替えることによって、周波信号の伝送経路を切り替えるものである。なお、同図において、スイッチ11、12の直流素子用容量性素子（キャパシタ）などの周辺回路の表示は省略している。また、説明の便宜上、本来なら連続している1本の伝送線路15を分離して描いている。

【0023】

スイッチ11は、端子PORT1と端子PORT2との間の伝送線路15において、端子PORT1から $\lambda/4$ （ λ は、周波信号の波長である。）に相当する長さだけ端子PORT2側に離れた第1の点P1とグランドとの間に設けられた第1のFET111を有し、このFET111が導通状態になることによって第

1の点P1を接地するように構成されている。一方、スイッチ12は、端子PORT1と端子PORT3との間の伝送線路15において、端子PORT1から $\lambda/4$ に相当する長さだけ端子PORT3側に離れた第2の点P2とグランドとの間に設けられた第2のFET121を有し、このFET121が導通状態になることによって第2の点P2を接地するように構成されている。

【0024】

伝送線路15は、裏面に接地電極を設けた $100\mu\text{m}$ の厚さのGaAs基板上に形成された、幅 $20\mu\text{m}$ 、厚さ $5\mu\text{m}$ のAuパターンである。また、周波信号の周波数として5GHzを想定している。

【0025】

FET111, 121は、高電子移動度トランジスタ（HEMT:High Electron Mobility Transistor）またはHFET（Heterostructure FET）と呼ばれるGaAs系のnチャネル型のFETである。FET111のゲートには第1のバイアス電圧Vb1が与えられるとともに、ソースおよびドレインには、それぞれ直流的にはほぼ同電位となるように抵抗素子112, 113を介して第1の制御電圧Vcが与えられる。一方、FET121のソースおよびドレインには、それぞれ直流的にはほぼ同電位となるように抵抗素子122, 123を介して第2のバイアス電圧Vb2が与えられるとともに、ゲートには抵抗素子124を介して第1の制御電圧Vcが与えられる。

【0026】

制御電圧Vcおよびバイアス電圧Vb1, Vb2は、すべて接地電位以上とする。さらに、バイアス電圧Vb1は、FET111のゲート閾値電圧以上の電圧とし、また、バイアス電圧Vb2は、FET121のゲート閾値電圧以上の電圧とする。これにより、スイッチ装置10を正電源のみで動作させることができる。なお、本実施形態では、制御電圧Vcを0V~5V程度までの範囲で設定可能に、また、バイアス電圧Vb1, Vb2を0V~3V程度までの範囲で設定可能にしている。さらに、バイアス電圧Vb2は、FET121を高耐圧のものにすることによって、3.5V程度までにすることが可能である。また、抵抗素子112, 113, 122, 123は、信号のリークがほとんどないように十分大き

な抵抗値にする。本実施形態では、 $5\text{ k}\Omega$ にしている。

【0027】

図2は、バイアス電圧 V_{b1} を0.0Vに、また、バイアス電圧 V_{b2} を1.0Vにし、さらに、制御電圧 V_c を第1のバイアス電圧 V_{b1} に相当する0.0V、および第2のバイアス電圧 V_{b2} に相当する1.0Vの2値としたときの、スイッチ11, 12のスイッチング特性を示すグラフである。縦軸は、FETのドレインからソースに信号が伝達されるときの信号レベルを示し、単位はdBである。また、横軸は信号の周波数を示し、単位はGHzである。

【0028】

図2 (a) は、スイッチ11のスイッチング特性を示す。スイッチ11は、制御電圧 V_c が0.0Vのとき、ソース・ドレイン間を導通状態にする一方、制御電圧 V_c が1.0Vのとき、ソース・ドレイン間を開放状態にする。一方、同図 (b) は、スイッチ12のスイッチング特性を示す。スイッチ12は、スイッチ11とは逆に、制御電圧 V_c が0.0Vのとき、ソース・ドレイン間を開放状態にする一方、制御電圧 V_c が1.0Vのとき、ソース・ドレイン間を導通状態にする。これにより、一の制御電圧 V_c で、FET111, 121を相補的に導通状態にすることができる。なお、同図 (a) (b) に示したスイッチング特性は、抵抗素子112, 113, 122, 123の抵抗値を $5\text{ k}\Omega$ としたときのものであるが、抵抗値が 500Ω 程度であってもスイッチング特性に大きな変化はない。また、FET111, 121の特性によっては、 100Ω 程度にすることも可能である。

【0029】

以上のとおりに構成されたスイッチ装置10の動作について、以下、詳細に説明する。

【0030】

制御電圧 V_c として0.0Vが与えられたとき、FET111は導通状態になるとともにFET121は開放状態になる。これにより、スイッチ11によって第1の点P1が接地される。このとき、端子PORT1から見て接地された側の伝送線路15は開放状態、つまり接続されていない状態と等価になり、信号は端

子PORT3側に伝達される。すなわち、制御電圧Vcが0.0Vのとき、スイッチ装置10は第2の接続状態になる。

【0031】

図3は、制御電圧Vcが0.0Vのときの、信号の周波数を横軸とするスイッチ装置10の各種特性を示すグラフである。同図(a)は、端子PORT1から端子PORT2への信号の伝達特性(PORT1-PORT2)、および端子PORT1から端子PORT3への信号の伝達特性(PORT1-PORT3)を示す。また、同図(b)は、端子PORT2における反射特性(S22)、および端子PORT3における反射特性(S33)を示す。なお、同図の縦軸の単位はdB、横軸の単位はGHzである。同図(a)に示した伝達特性から明らかのように、端子PORT1と端子PORT2とは接続状態にあり、また、端子PORT1と端子PORT3とは切断状態にある。なお、同図(b)に示したS22特性は、高周波帯域では、必ずしも十分なレベルとは言えない。この改善方策については後述する。

【0032】

一方、制御電圧Vcとして1.0Vが与えられたとき、FET111は開放状態になるとともにFET121は導通状態になる。これにより、スイッチ12によって、第2の点P2が接地される。このとき、端子PORT1から見て接地された側の伝送線路15は開放状態、つまり接続されていない状態と等価になり、信号は端子PORT2側に伝達される。すなわち、制御電圧Vcが1.0Vのとき、スイッチ装置10は第1の接続状態になる。なお、図示しないが、制御電圧Vcが1.0Vのときのスイッチ装置10の各種特性は、回路の対称性から、図3と同様になる。

【0033】

なお、図3において、スイッチ装置10のスイッチング特性として、周波信号が10GHzまでのものしか示していないが、スイッチ装置10は、それ以上の60~75GHzのミリ波帯域までについても、同様の効果を奏する。さらに、ミリ波帯域以上の高周波帯域にまで適用することができる。

【0034】

上記説明において、第1のバイアス電圧V_{b1}を0.0V、第2のバイアス電圧V_{b2}を1.0Vとしているが、これ以外の電圧にしてもよい。また、制御電圧V_cとして、第1のバイアス電圧V_{b1}に相当する電圧、および第2のバイアス電圧V_{b2}に相当する電圧の2値としているが、本発明はこれに限定されるものではない。すなわち、制御電圧V_cとして、バイアス電圧V_{b1}、V_{b2}のいずれか低い方以下の電圧を与えることによって、FET111が導通状態になるとともにFET121が開放状態になる。一方、制御電圧V_cとして、バイアス電圧V_{b1}、V_{b2}のいずれか高い方以上の電圧を与えることによって、FET111が開放状態になるとともにFET121が導通状態になる。しかし、スイッチ装置10の制御の容易性、および回路構成の簡略化の観点から、本実施形態のように、制御電圧V_cをバイアス電圧V_{b1}、V_{b2}のいずれかの2値に設定することが好ましい。

【0035】

以上、本実施形態によると、スイッチ11、12によって伝送線路15上の第1の点P1および第2の点P2をそれぞれ接地することによって、周波信号の伝送経路を切り替えることができる。これにより、信号が伝達するときに伝送損失が生じることがない。また、スイッチ11、12を、一の制御電圧V_cによって、相補的にスイッチング動作させ、相補的に第1の接続状態および第2の接続状態を設定することができ、制御が容易である。さらに、バイアス電圧V_{b1}、V_{b2}、および制御電圧V_cをすべて接地電位以上に設定しているため、スイッチ装置10は正電源のみで動作可能である。これにより、負電圧を供給する負電源が不要となり、回路規模を縮減することができる。

【0036】

（第2の実施形態）

前述したように、図3（b）に示したS22特性は、高周波帯域では、必ずしも十分なレベルとは言えない。本発明の第2の実施形態のスイッチ装置は、この反射特性の改善を図ったものである。

【0037】

図4は、本実施形態のスイッチ装置10Aの概略回路図である。スイッチ装置

10Aは、第1の実施形態のスイッチ装置10に、さらに、第3の点P3を終端可能な第3のスイッチ13と、第4の点P4を終端可能な第4のスイッチ14とを追加したものである。なお、同図において、スイッチ13、14の直流素子用容量性素子（キャパシタ）などの周辺回路の表示は省略している。また、説明の便宜上、本来なら連続している1本の伝送線路を、分離して描いている。

【0038】

スイッチ13は、第1の点P1と端子PORT2との間の伝送線路15において、第1の点P1から $\lambda/4$ に相当する長さだけ端子PORT2側に離れた第3の点P3とグランドとの間に設けられた第3のFET131と、FET131のソースとグランドとの間に設けられた抵抗素子134とを有し、FET131が導通状態になることによって第3の点P3を終端するように構成されている。抵抗素子134の抵抗値は、FET131のチャネル抵抗値との合計が、伝送線路15の特性インピーダンス値になるように調整されている。また、FET131、抵抗素子132、133は、それぞれ、FET111、抵抗素子112、113と同等のものである。すなわち、スイッチ13は、抵抗素子134を有すること以外はスイッチ11と同等の構成をしており、図2(a)に示したスイッチング特性を呈する。

【0039】

一方、スイッチ14は、第2の点P2と端子PORT3との間の伝送線路15において、第2の点P2から $\lambda/4$ に相当する長さだけ端子PORT3側に離れた第4の点P4とグランドとの間に設けられた第4のFET141と、FET141のソースとグランドとの間に設けられた抵抗素子145とを有し、FET141が導通状態になることによって第4の点P4を終端するように構成されている。抵抗素子145の抵抗値は、FET141のチャネル抵抗値との合計が、伝送線路15の特性インピーダンス値になるように調整されている。また、FET141、抵抗素子142～144は、それぞれ、FET121、抵抗素子122～124と同等のものである。すなわち、スイッチ14は、抵抗素子145を有すること以外はスイッチ12と同等の構成をしており、図2(b)に示したスイッチング特性を呈する。

【0040】

FET131のゲートには第3のバイアス電圧として、FET111のゲートに与えられる第1のバイアス電圧Vb1が与えられる。また、ソースおよびドレインには、それぞれ直流通じてほぼ同電位となるように抵抗素子132, 133を介して第2の制御電圧として、FET111のソースおよびドレインに与えられる第1の制御電圧Vcが与えられる。一方、FET141のソースおよびドレインには、それぞれ直流通じてほぼ同電位となるように抵抗素子142, 143を介して第4のバイアス電圧として、FET121のソースおよびドレインに与えられる第2のバイアス電圧Vb2が与えられる。また、ゲートには抵抗素子144を介して第2の制御電圧として、FET121のゲートに与えられる第1の制御電圧Vcが与えられる。なお、制御電圧Vcおよびバイアス電圧Vb1, Vb2の具体的な値については、第1の実施形態で説明したとおりであるので、ここでは説明を省略する。

【0041】

以上のとおりに構成されたスイッチ装置10Aの動作について、以下、詳細に説明する。

【0042】

制御電圧Vcとして0.0Vが与えられたとき、FET111とFET131との組は導通状態になるとともに、FET121とFET141との組は開放状態になる。これにより、スイッチ11によって第1の点P1が接地されるとともに、スイッチ13によって第3の点P3が終端され、スイッチ装置10は第2の接続状態になる。また、第1の点P1が接地されたとき、この点から $\lambda/4$ だけ離れた第3の点P3は、周波信号の周波数(5GHz)で開放されているときと等しい状態にある。したがって、第3の点P3を終端することは、伝送線路15の端部、つまり第2の端子PORT2を終端することと等価になる。これにより、第2の端子PORT2における周波信号の反射を抑制することができる。

【0043】

図5は、制御電圧Vcが0.0Vのときの、信号の周波数を横軸とするスイッチ装置10の各種特性を示すグラフである。なお、同図の見方は、図2と同様で

ある。図5 (a) に示した伝達特性からは、図2 (a) と同様に、端子PORT 1と端子PORT 2とは接続状態にあり、また、端子PORT 1と端子PORT 3とは切断状態にあることがわかる。そして、図5 (b) に示したS22特性は、周波信号の周波数である5GHz付近において、-20dB以下になっており、端子PORT 2における信号の反射が十分に抑制されていることがわかる。

【0044】

一方、制御電圧Vcとして1.0Vが与えられたとき、FET111とFET131との組は開放状態になるとともに、FET121とFET141との組は導通状態になる。これにより、スイッチ12によって第2の点P2が接地されるとともに、スイッチ14によって第4の点P4が終端され、スイッチ装置10は第1の接続状態になる。また、第2の点P2が接地されたとき、この点から1/4だけ離れた第4の点P4は、周波信号の周波数(5GHz)で開放されているときと等しい状態にある。したがって、第4の点P4を終端することは、伝送線路15の端部、つまり第3の端子PORT3を終端することと等価になる。これにより、第3の端子PORT3における信号の反射を抑制することができる。なお、図示しないが、制御電圧Vcが1.0Vのときのスイッチ装置10Aの各種特性は、回路の対称性から、図5と同様になる。

【0045】

なお、図5において、スイッチ装置10Aのスイッチング特性として、周波信号が10GHzまでのものしか示していないが、スイッチ装置10Aは、それ以上の60~75GHzのミリ波帯域までについても、同様の効果を奏する。さらに、ミリ波帯域以上の高周波帯域にまで適用することができる。

【0046】

以上、本実施形態によると、スイッチ13、14によって伝送線路15上の第3の点P3および第4の点P4がそれぞれ終端されることによって、信号が遮断された側における信号の反射を抑制することができる。

【0047】

なお、抵抗素子134、145は、それぞれ、FET131、141が伝送線路15の特性インピーダンス値に相当するチャネル抵抗を持つようにすることに

より、省略可能である。また、スイッチ11～14を一の制御電圧Vcによって制御しているが、本発明はこれに限定されるものではない。スイッチ11～14を別個独立して制御するようにしても、また、負の電圧を用いて制御するようにしても、本発明が奏する効果に違いはない。

【0048】

また、FET111, 121, 131, 141は、必ずしもGaAs系の半導体によって構成される必要はない。GaAs系以外にも、Ga, In, As, P, N, Alのうち少なくとも1つの元素を含むような化合物半導体、たとえば、AlAs系, InP系, InGaP系, GaN系, GaInAs系, InGaP系によって構成されていてもよい。もちろん、SiやGeといった単結晶の半導体によって構成されていてもよい。さらに、スイッチ11～14は、必ずしもFETによって構成される必要はなく、FETとは別のスイッチング手段、たとえば、PINダイオードスイッチによって構成されていても、本発明が奏する効果に違いはない。

【0049】

また、第1の点P1および第2の点P2と端子PORT1との間隔、第1の点P1と第3の点P3との間隔、ならびに第2の点P2と第4の点P4との間隔は、周波信号の1/4波長の奇数倍に相当する長さであればよく、 $\lambda/4$ に限定されるものではない。また、これら間隔は、厳密に1/4波長の奇数倍である必要はなく、多少の誤差が許容される。これら間隔に多少の誤差がある場合、スイッチング特性が多少劣化する。すなわち、許容誤差は要求されるスイッチング特性によって決まる。要求が厳しいときは、わずかな誤差しか許容されないが、要求が比較的緩やかなときは、 $\lambda/8$ 程度の誤差まで許容される。

【0050】

【発明の効果】

以上、本発明によると、周波信号が伝達するときに伝送損失が生じないような伝達特性に優れた経路切り替え型のスイッチ装置を実現することができる。さらに、信号の伝達が遮断された側において信号の反射が生じないような反射特性に優れたスイッチ装置を実現することができる。また、本発明のスイッチ装置はF

E Tによって構成可能なため、M M I C上に容易に構成することができる。また、本発明のスイッチ装置は正電源のみで動作可能である。したがって、負の電源を必要としないため、回路規模を縮減することができ、コスト削減につながる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態であるスイッチ装置の概略回路図である。

【図2】

図1のスイッチ装置におけるスイッチのスイッチング特性を示すグラフである。

。

【図3】

図1のスイッチ装置のスイッチング特性および反射特性を示すグラフである。

【図4】

本発明の第2の実施形態であるスイッチ装置の概略回路図である。

【図5】

図4のスイッチ装置のスイッチング特性および反射特性を示すグラフである。

【符号の説明】

10, 10A スイッチ装置

11 第1のスイッチ

12 第2のスイッチ

13 第3のスイッチ

14 第4のスイッチ

15 伝送線路

111 第1のFET

121 第2のFET

131 第3のFET

141 第4のFET

PORT1 第1の端子

PORT2 第2の端子

PORT3 第3の端子

P 1 第1の点

P 2 第2の点

P 3 第3の点

P 4 第4の点

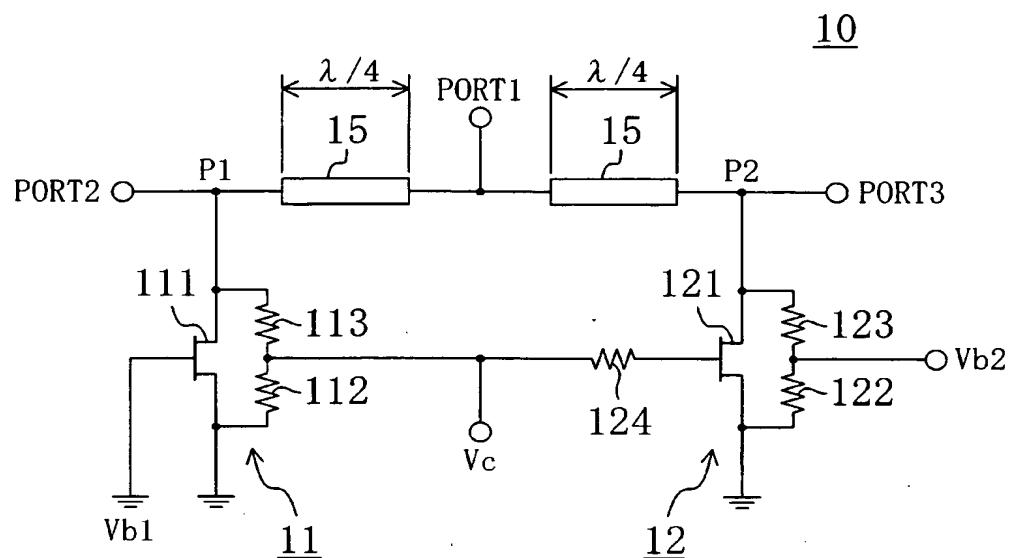
V c 第1の制御電圧（第2の制御電圧）

V b 1 第1のバイアス電圧（第3のバイアス電圧）

V b 2 第2のバイアス電圧（第4のバイアス電圧）

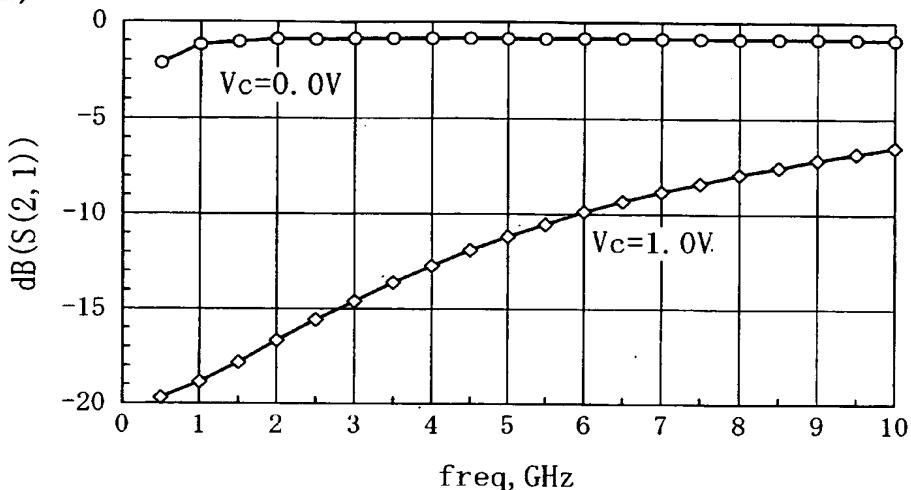
【書類名】 図面

【図1】

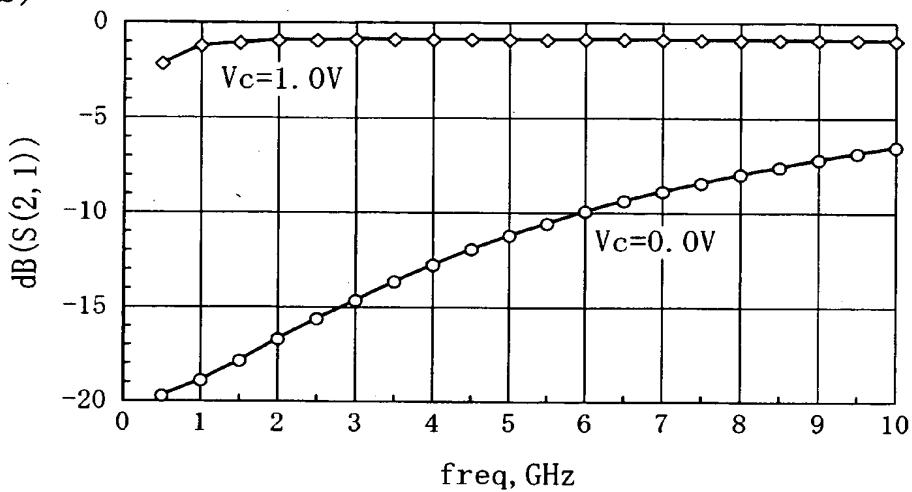


【図2】

(a)

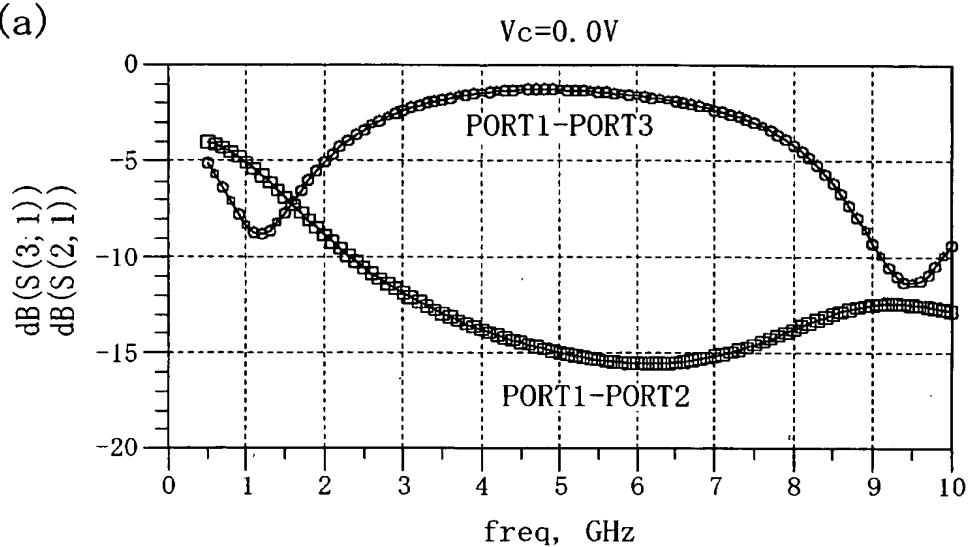


(b)

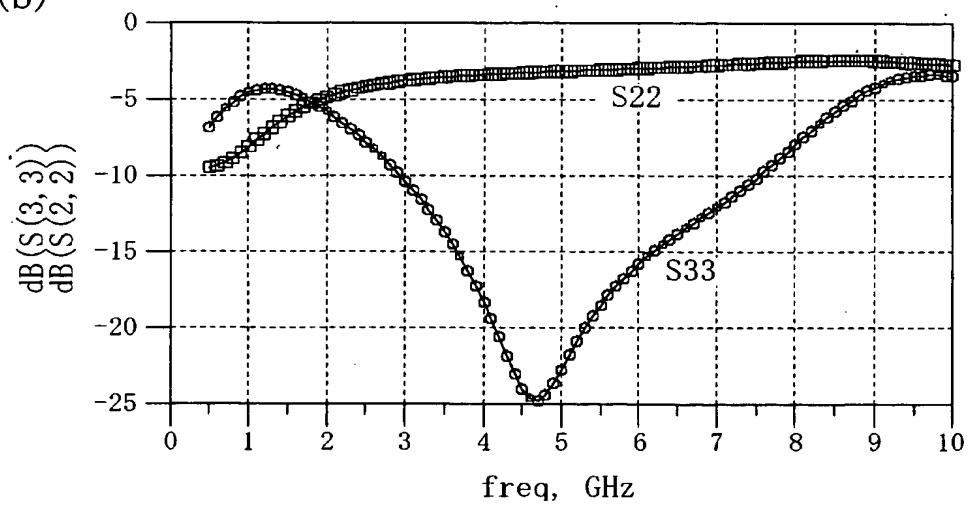


【図3】

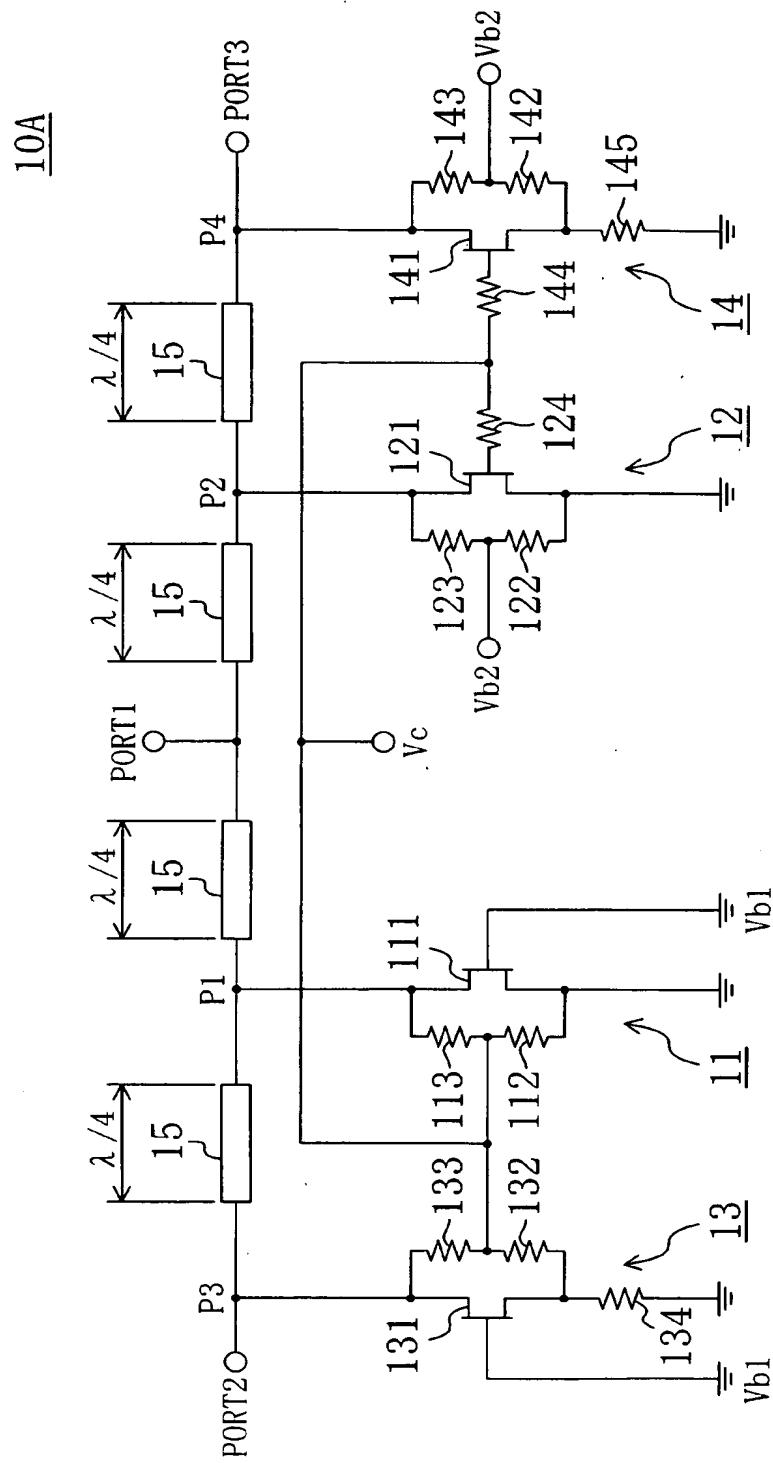
(a)



(b)

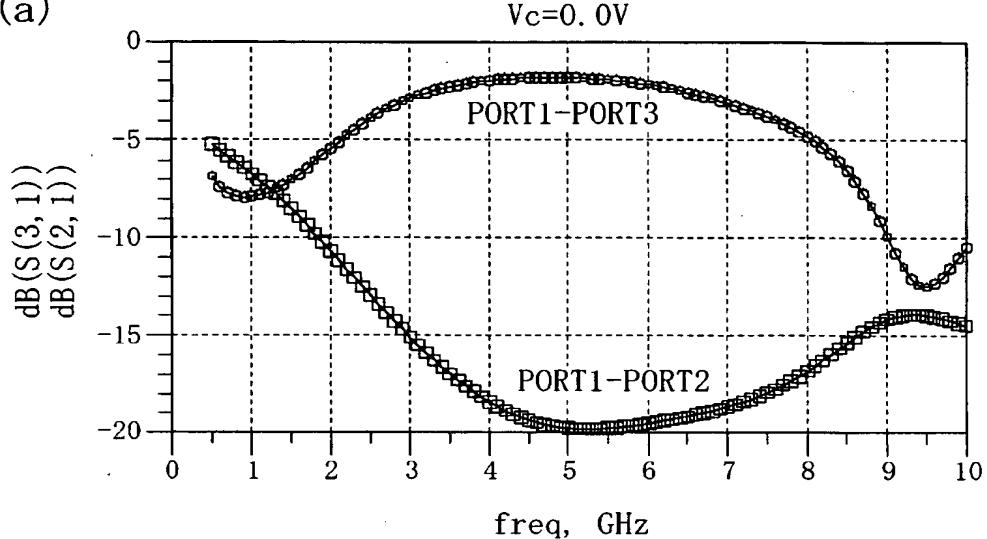


【図4】

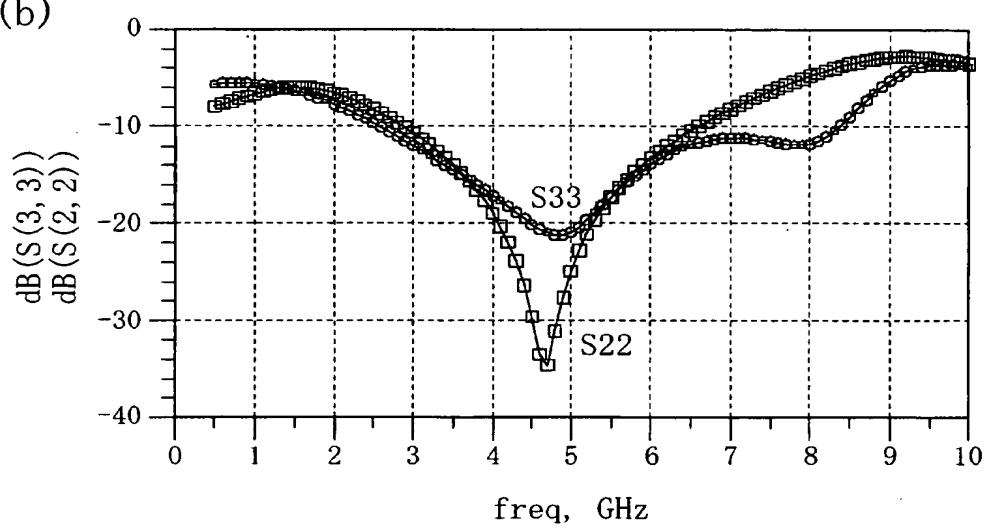


【図5】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 周波信号の伝達時に伝送損失がなく、遮断側において反射が生じないような経路切り替え型のスイッチ装置を提供する。

【解決手段】 スイッチ装置10Aは、点P1を接地可能なスイッチ11と、点P2を接地可能なスイッチ12と、点P3を終端可能なスイッチ13と、点P4を終端可能なスイッチ14とを備えている。スイッチ12が、端子PORT1から $\lambda/4$ (λ は周波信号の波長) だけ離れた点P2を接地するとき、端子PORT1から見て、接地された側の伝送線路15は接続されていない状態と等価になり、信号は端子PORT1から端子PORT2に伝達される。伝送線路15にはスイッチが挿入されておらず伝送損失はない。一方、点P2から $\lambda/4$ だけ離れた点P4は、点P2が接地されたとき開放状態になる点である。したがって、点P2を接地するとともに点P4を終端することによって、伝送線路15は適正に終端され、信号の反射が抑制される。

【選択図】 図4

特願 2002-208598

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

[変更理由]

住 所

氏 名

1990年 8月28日

新規登録

大阪府門真市大字門真1006番地

松下電器産業株式会社